

SEMICONDUCTOR MEMORY

Patent Number: JP7114794
Publication date: 1995-05-02
Inventor(s): SAKAMOTO YOSHIKI; others: 01
Applicant(s): MATSUSHITA ELECTRIC IND CO
Requested Patent: ☐ JP7114794
Application: JP19930260764 19931019
Priority Number(s):
IPC Classification: G11C11/41; G11C11/401; G11C16/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce load capacity of a bit line, to reduce power consumption and to perform reading and writing at high speed by providing a switch circuit to divide a memory cell array and performing ON/OFF control in accordance with an address.

CONSTITUTION: Memory cell arrays 102, 108 are constituted with memory means which hold data of reading/writing, these memory means are selected by an output result of a row decoder 100 to which an address ADDR is inputted. A switch circuit 103 connects or separates bit lines of the inside of the memory cell arrays 102, 108 by ON/OFF operation, and divides the memory cell arrays 102, 108. A control circuit 107 generates a control signal CNT of the switch circuit 103 by making a part of an address ADDR as an input signal. Thereby, in writing and reading, since each bit line is cut off by a switch circuit, load capacity of bit lines is influenced by only the half of all memory cells. Therefore, reducing power consumption and increasing operation speed can be attained.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-114794

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/41
11/401
16/06

G 1 1 C 11/ 34

3 0 1 E

3 6 2 H

審査請求 未請求 請求項の数 3 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平5-260764
(22)出願日 平成5年(1993)10月19日

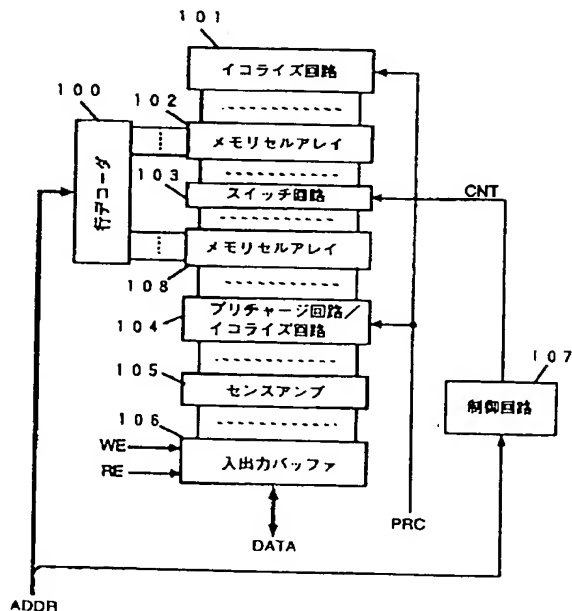
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 坂本 良来
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 山口 聖司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 メモリセルアレイを分割するためのスイッチ回路をアドレスに対応してダイナミックにON/OFF制御を行なうことにより、ビット線の負荷容量を低減し半導体記憶装置の低消費電力化と読み出し/書き込みの高速化を図る。

【構成】 アドレスを入力とする行デコーダ100と、行デコーダ100の出力信号線であるワード線に接続されたメモリセルから構成されるメモリセルアレイを行単位で2個に分割したメモリセルアレイ102, 108と、互いに隣接するメモリセルアレイの間で、メモリセルのビット線を直列に接続または切り離しを行うためのスイッチ回路103と、スイッチ回路103の制御信号を生成するための制御回路107とを備えた半導体記憶装置である。



【特許請求の範囲】

【請求項1】 アドレスを入力とする行デコーダと、
前記行デコーダの出力信号線であるワード線に接続され
たメモリセルから構成されるメモリセルアレイを行単位
で k 個 ($k \geq 2$) に分割したメモリセルアレイと、
互いに隣接する前記メモリセルアレイの間 (第 i のメモ
リセルアレイと第 $i+1$ の間 ($1 \leq i \leq k-1$)) で、
メモリセルのビット線を直列に接続または切り離しを行
うための $k-1$ 個のスイッチ回路と、
前記スイッチ回路の制御信号を生成するための制御回路とを
備えた半導体記憶装置。

【請求項2】 分割された k 個の前記メモリセルアレイを
アドレスに対応してプログラマブルに配置したことを特
徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記アドレスの一部を制御回路に入力する
ことを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータシステム
において、読み出しの高速化を図る半導体記憶装置に関
する。

【0002】

【従来の技術】 近年、電子、情報、通信などの産業分野
において、半導体記憶装置は電子機器、コンピュータ等
においてプログラムあるいはデータを記憶する手段とし
て使用される。以下図面を参照しながら、従来の半導体
記憶装置について説明する。

【0003】 図6は従来の半導体記憶装置の構成図を示
す。例えば、「CMOS VLSI 設計の原理」富沢孝
監訳の306～312ページで従来の回路構成の一例を
参照することができる。20はデータを保持する記憶手
段MCを基本単位としたメモリセルアレイである。ここ
では説明を簡単にするために全体のメモリセルアレイ構
成として、行数×列数を 4×3 、データ幅は1ワードを
3ビットの構成と仮定する。21はアドレスADDRを
デコードしワード線WL0、WL1、WL2、WL3に
ワード選択のための信号を生成する行デコーダである。
22は書き込みイネーブル信号WEと読み出しイネーブル
信号REの制御により、1ワードに対応するメモリセ
ルMCとデータバスDATA間において読み出し/書き
込み動作を行なうための読み出し/書き込み回路であ
る。ビット線のプリチャージ回路/イコライズ回路、セ
ンスアンプは読み出し/書き込み回路22に含まれてい
るものとする。記憶手段MCに接続されるビット線をB
0、XB0、B1、XB1、B2、XB2で示す。

【0004】 以上のように構成された半導体記憶装置に
ついて、以下その動作について説明する。書き込みイネ
ーブル信号WEが“HIGH”の場合を書き込み動作、
読み出しイネーブル信号REが“HIGH”の場合を読
み出し動作とする。アドレスADDRを行デコーダ21

でデコードしワード線WL0が活性化されたとする。読
み出し動作が行われる場合は、ワード線WL0に接続さ
れる記憶手段MCに保持されている1ワードのデータを
ビット線B0、XB0、B1、XB1、B2、XB2に
読み出し、読み出し/書き込み回路22で駆動しデータ
バスDATAにデータを読み出す。一方、書き込み動作
が行われる場合は、1ワードの書き込みデータをデータ
バスDATAから読み出し/書き込み回路22で駆動
し、ビット線B0、XB0、B1、XB1、B2、XB
2を介して1ワードのデータを記憶手段MCに書き込
む。

【0005】

【発明が解決しようとする課題】 しかしながら上記のよ
うな構成では、半導体記憶装置の記憶容量の増大に伴
い、メモリセルアレイを構成する列方向のメモリセル数
の増加により、ビット線の負荷容量は増大する。従っ
て、ビット線における消費電力の増大と、ビット線を介
したメモリセルに対するデータの読み出し/書き込みの
アクセスタイムが増大し高速化を阻害するという問題点
を有していた。

【0006】 本発明は上記問題点に鑑み、ビット線の負
荷容量を低減し低消費電力化と読み出しの高速化を図
ることができる半導体記憶装置を提供するものである。

【0007】

【課題を解決するための手段】 上記課題を解決するた
めに本発明の半導体記憶装置は、アドレスを入力とする行
デコーダと、前記行デコーダの出力信号線であるワード
線に接続されたメモリセルから構成されるメモリセルア
レイを行単位で k 個 ($k \geq 2$) に分割したメモリセルア
レイと、互いに隣接する前記メモリセルアレイの間 (第
 i のメモリセルアレイと第 $i+1$ の間 $1 \leq i \leq k-1$) で、メモリセルのビット線を直列に接続または切
り離しを行うための $k-1$ 個のスイッチ回路と、前記ス
イッチ回路の制御信号を生成するための制御回路とを備
えたものである。

【0008】 更に、分割された k 個の前記メモリセルア
レイの配置をアドレスに対応してプログラマブルに設計
することを特徴とする。

【0009】 望ましくは前記アドレスの一部を制御回路
に入力する。

【0010】

【作用】 本発明は上記した構成によって、メモリセルア
レイを分割するためのスイッチ回路をアドレスに対応し
てダイナミックにON/OFF制御を行なうことによ
り、ビット線の負荷容量を低減し半導体記憶装置の低消
費電力化と読み出しの高速化を図ることができる。

【0011】

【実施例】 以下本発明の一実施例の半導体記憶装置につ
いて、図面を参照しながら説明する。図1は半導体記憶
装置のブロック図を示す。ここでは、ランダムアクセス

3

メモリ(RAM)を例に挙げ、回路構成としてメモリセルアレイを2個に分割した場合について説明する。

【0012】100はアドレスADDRを入力とする行デコーダ、102と108は読み出し/書き込みのデータを保持する記憶手段で構成されるメモリセルアレイであり、それぞれメモリマップのアドレス空間に基づき割り当てられる。メモリセルアレイ102、108の読み出し/書き込みに関する記憶手段は行デコーダ100の出力結果により選択される。103はメモリセルアレイ102と108を分割するためのスイッチ回路である。メモリセルアレイ102、108の内部のビット線をスイッチ回路103で接続または切り離すことによりメモリセルアレイは分割される。104は前記ビット線のプリチャージ/イコライズを行なうためのプリチャージ回路/イコライズ回路、105は前記ビット線の信号変化を増幅するためのセンスアンプ、106はセンスアンプ105の出力とデータバスDATAの間で読み出し/書き込みのデータをドライブ制御するための入出力バッファである。107はアドレスADDRの一部を入力としスイッチ回路103の制御信号CNTを生成するための制御回路である。例えばメモリマッピングで半導体記憶装置のメモリ空間を2個に分割する場合は、アドレスADDRのMSBを使用し制御信号CNTを生成することができる。101はメモリセルアレイ102、108がスイッチ回路103で切り離された場合に、プリチャージ回路/イコライズ回路104とは独立にメモリセルアレイ102のイコライズ動作のみを行なうためのイコライズ回路である。このイコライズ回路101は、スイッチ回路103の制御を行なう制御回路107の構成を変更し、プリチャージ回路/イコライズ回路104を用いることにすれば設ける必要がない。

【0013】以下の説明ではイコライズ回路101を設ける場合について説明する。図2は図1のブロック図に対応する半導体記憶装置の構成図を示す。ここでは、メモリセルアレイを2個に分割した場合について説明する。100から107の各構成要素は、図1の構成と同様なものである。102と108はデータを保持する記憶手段MCを基本単位としたメモリセルアレイである。ここでは説明を簡単にするために全体のメモリセルアレイ構成として行数×列数を4×3、データ幅は1ワードを3ビットの構成と仮定する。100はアドレスADDRをデコードしワード線WL0、WL1、WL2、WL3にワード選択のための信号を生成する行デコーダである。ここに、ワード線WL0、WL1、WL2、WL3が活性化されるアドレスADDRは、それぞれ00番地、01番地、10番地、11番地とする。103はメモリセルアレイ102、108を分割するためのスイッチ回路であり、スイッチ素子SWで構成される。分離されるビット線をそれぞれB0、XB0、B1、XB1、B2、XB2とC0、XC0、C1、XC1、C2、X

4

C2で示す。104は前記ビット線のプリチャージ/イコライズを行なうためのプリチャージ回路/イコライズ回路、105は前記ビット線の信号変化を増幅するためのセンスアンプ、106はセンスアンプ105の出力とデータバスDATAの間で読み出し/書き込みのデータをドライブ制御するための入出力バッファである。107はアドレスADDRの一部を入力としスイッチ回路103の制御信号CNTを生成するための制御回路である。ここではアドレスADDRのMSBを使用し制御信号CNTを生成することにより、メモリセルアレイ102と108に2個に分割する場合を示しておりインバータで実現できる。

【0014】図3はスイッチ回路103を構成するスイッチ素子SWの回路図を示す。ビット線B0、C0と制御回路107の出力信号CNTに対応する1ビット分のスイッチ素子SWについて示した。例として2種類のスイッチ素子を示す。302はCMOSスイッチ、301はPMOSを制御するためのインバータ、303はNMOSスイッチである。

【0015】以上のように構成された本発明の半導体記憶装置について、図4のタイミング図を基に以下その動作について説明する。

【0016】書き込みイネーブル信号WEが”HIGH”の場合を書き込み動作、読み出しイネーブル信号REが”HIGH”の場合を読み出し動作とする。最初のサイクルにおいて、アドレスADDRの00番地に対応するメモリセルMCにデータを書き込み、次のサイクルでそのデータを読み出す。これらのサイクルでは、アドレスADDRのMSBが0であるため、制御回路107の出力信号CNTは”HIGH”となり、スイッチ回路103はオン状態になる。従って、各ビット線、例えばB0とC0は接続されたまま動作する。これを通常アクセスサイクルと呼ぶ。第3のサイクルではアドレスADDRの10番地に対応するメモリセルMCにデータを書き込み、次のサイクルでそのデータを読み出す。これらのサイクルでは、アドレスADDRのMSBが1であるため、制御回路107の出力信号CNTは”LOW”となり、スイッチ回路103はOFF状態になる。従って、各ビット線、例えばB0とC0は切断された状態で動作する。これを高速アクセスサイクルと呼ぶ。

【0017】以下、各サイクルの動作を説明する。通常アクセスサイクルにおいて、書き込みまたは読み出しの動作に備えるためプリチャージ信号PRCが”HIGH”となり、プリチャージ回路/イコライズ回路104により各ビット線はプリチャージと同時にイコライズされる。タイミング図ではB0、XB0、C0、XC0について示した。アドレスADDRは00番地であるため、行デコーダ21でデコードすることによりワード線WL0が活性化される。書き込みイネーブルWEが”HIGH”の期間において、データバスDATA上のデー

5

タは入出力バッファ106とビット線を介してメモリセルMCに書き込まれる。タイミング図ではメモリセルに"LOW"のデータが書き込まれる場合を示す。次のサイクルで書き込まれたデータを読み出す。アドレスADDRは00番地であるため、行デコーダ21でデコードすることによりワード線WL0が活性化される。読み出しイネーブルREが"HIGH"の期間において、メモリセルMCに保持されたデータをビット線に取り出しセンスアンプ105で増幅し、入出力バッファ106からデータバスDATAに読み出す。以上の書き込み/読み出しにおいて、各ビット線はスイッチ回路103で接続されているためビット線の負荷容量はすべてのメモリセルの影響を受ける。

【0018】次に各ビット線がスイッチ回路103で切断された状態で動作する高速アクセスサイクルにおいて、書き込みまたは読み出しの動作に備えるためプリチャージ信号PRCが"HIGH"となり、プリチャージ回路/イコライズ回路104により各ビット線B0、XB0、B1、XB1、B2、XB2はプリチャージと同時にイコライズされる。一方、イコライズ回路101により各ビット線C0、XC0、C1、XC1、C2、XC2はイコライズのみ行なわれる。アドレスADDRは10番地であるため、行デコーダ21でデコードすることによりワード線WL2が活性化される。書き込みイネーブルWEが"HIGH"の期間において、データバスDATA上のデータは入出力バッファ106とビット線を介してメモリセルMCに書き込まれる。タイミング図ではメモリセルに"LOW"のデータが書き込まれる場合を示す。次のサイクルで書き込まれたデータを読み出す。アドレスADDRは10番地であるため、行デコーダ21でデコードすることによりワード線WL2が活性化される。読み出しイネーブルREが"HIGH"の期間において、メモリセルMCに保持されたデータをビット線に取り出しセンスアンプ105で増幅し、入出力バッファ106からデータバスDATAに読み出す。

【0019】以上の書き込み/読み出しにおいて、各ビット線はスイッチ回路103で切断されているためビット線の負荷容量はすべてのメモリセルの半分の影響しか受けない。従って、高速アクセスサイクルでは、プリチャージに関する低消費電力化と高速化、書き込み/読み出しに関する低消費電力化と高速化を図ることができる。

【0020】図5は、半導体記憶装置のメモリマップを示す。通常アクセス空間は前記通常アクセスサイクルに対応する半導体記憶装置のメモリセルアレイ102を割当てる。一方、高速アクセス空間は前記高速アクセスサイクルに対応する半導体記憶装置のメモリセルアレイ108に割当てる。このようにアドレスに対応してスイッチ回路103をダイナミックにON/OFFすることにより、要求されるデータの読み出しまたは書き込みのア

6

クセスタイムに応じた高性能なメモリシステムを構成することができる。

【0021】以上のように本実施例によれば、メモリセルアレイ間のビット線の接続または切り離しを行うためのスイッチ回路とその制御回路を設けることにより、ビット線の負荷容量を低減し半導体記憶装置の低消費電力化と読み出し/書き込みの高速化を図ることができる。さらに実際のレイアウトにおいて、このスイッチ回路とその制御回路は半導体記憶装置全体の面積に比較して無視できる程度に小さく構成できるため、シンプルな構成で性能向上を図ることができる。

【0022】なお、以上の説明ではメモリセルアレイを2個に分割した場合であった。さらに複数のメモリセルアレイ間にそれぞれスイッチ回路を設け、それに対応する制御回路を設けることにより、2個に分割の場合と同様に多数個に分割の場合にも応用することができ、半導体記憶装置の低消費電力化と読み出し/書き込みの高速化の効果はさらに増大する。また、以上の説明ではRAMに関する説明を行なったが、同様にリードオンリメモリ(ROM)についても、メモリセルアレイ間のビット線の接続または切り離しを行うためのスイッチ回路とその制御回路を設けることにより、ビット線の負荷容量を低減し半導体記憶装置の低消費電力化と読み出しの高速化を図ることができる。

【0023】

【発明の効果】以上のように本発明は、メモリセルアレイの各ワードをアドレスに対応して少なくとも2個に分割して構成されたメモリセルアレイと、ビット線の接続または切り離しを行うためのスイッチ回路と、その制御信号を生成するための制御回路と、ビット線に接続するイコライズ回路を設けることにより、ビット線の負荷容量を低減し半導体記憶装置の低消費電力化と読み出しの高速化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例における半導体記憶装置のブロック図

【図2】同実施例における半導体記憶装置の構成図

【図3】同実施例における半導体記憶装置のスイッチ素子の回路図

【図4】同実施例における半導体記憶装置のタイミング図

【図5】同実施例における半導体記憶装置のメモリマップ図

【図6】従来の半導体記憶装置の構成図

【符号の説明】

- 100 行デコーダ
- 101 イコライズ回路
- 102、108 メモリセルアレイ
- 103 スwitch回路
- 104 プリチャージ回路/イコライズ回路

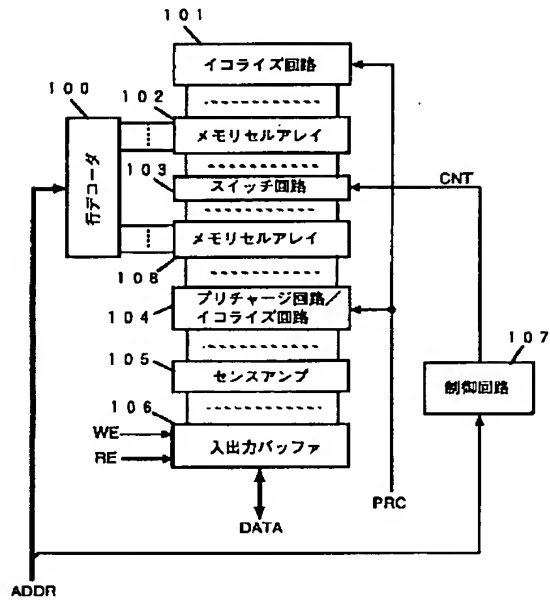
(5)

特開平7-114794

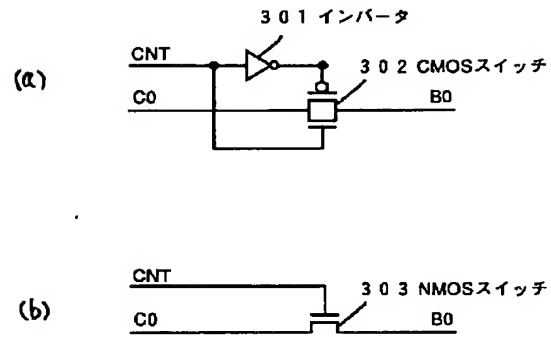
105 センスアンプ
106 入出力バッファ
107 制御回路

301 インバータ
302 CMOSスイッチ
303 NMOSスイッチ

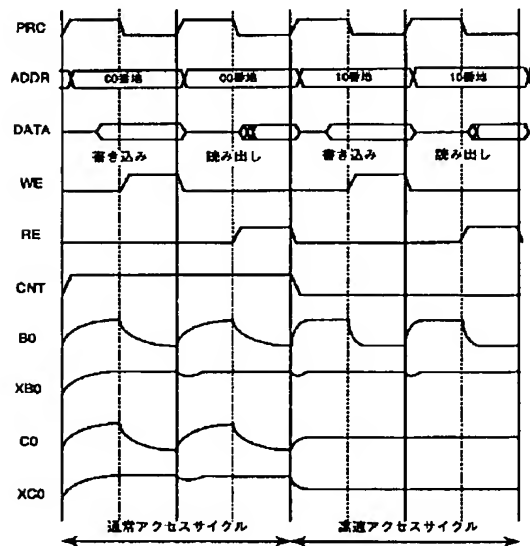
【図1】



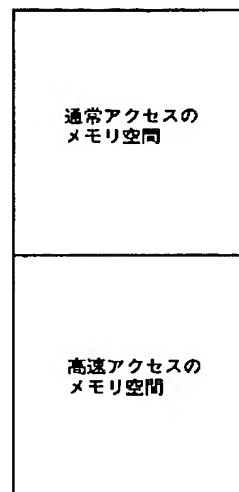
【図3】



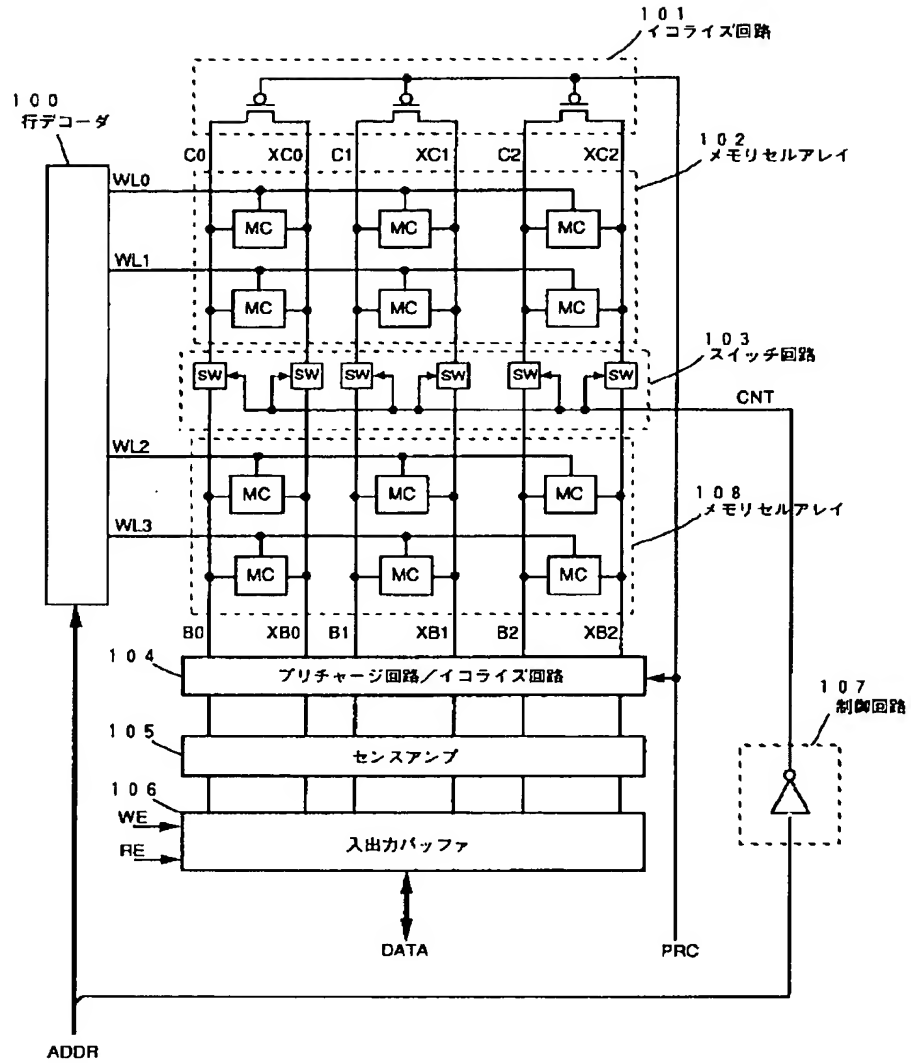
【図4】



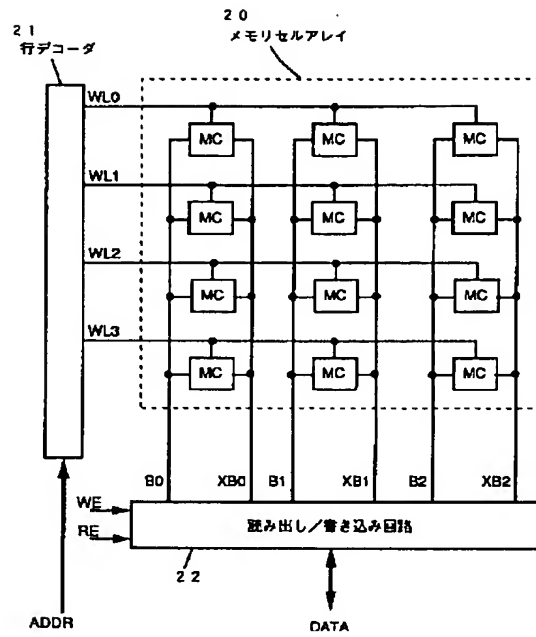
【図5】



【図2】



【図6】



フロントページの続き

(51) Int. Cl. 6

識別記号

片内整理番号

F I

G 1 1 C 17/00

3 0 9 J

技術表示箇所